

Architektury systemów komputerowych

Lista zadań nr 9

Na zajęcia

29 – 30 kwietnia i 6 – 7 maja 2019

Zadanie 1. Rozważmy dysk o następujących parametrach: jeden plater; jedna głowica; 400 tysięcy ścieżek na powierzchni; 2500 sektorów na ścieżkę; 7200 obrotów na minutę; czas wyszukiwania: 1ms na przeskoczenie o 50 tysięcy ścieżek.

1. Jaki jest średni czas wyszukiwania?
2. Jaki jest średni czas opóźnienia obrotowego?
3. Jaki jest czas transferu sektora?
4. Jaki jest całkowity średni czas obsługi żądania?

Zadanie 2. Rozważmy dysk o następujących parametrach: 360 obrotów na minutę, 512 bajtów na sektor, 96 sektorów na ścieżkę, 110 ścieżek na powierzchni. Procesor czyta z dysku całe sektory. Dysk sygnalizuje dostępność danych zgłaszając przerwanie na każdy przeczytany bajt. Jaki procent czasu procesora będzie zużywała obsługa wejścia-wyjścia, jeśli wykonanie procedury przerwania zajmuje $2.5\mu s$? Należy zignorować czas wyszukiwania ścieżki i sektora.

Do systemu dodajemy kontroler DMA. Przerwanie będzie generowane tylko raz po wczytaniu sektora do pamięci. Jak zmieniła się zajętość procesora?

Zadanie 3. Moduł DMA kontrolera dysku do transferu danych używa techniki podkradania cykli. 32-bitowa szyna ma przepustowość 10 milionów transferów na sekundę. Procesor RISC bez pamięci podręcznej wykonuje 32-bitowe instrukcje, z których 40% to dostępy do pamięci. O ile procent zmieni się liczba wykonywanych instrukcji w wyniku aktywności modułu DMA, jeśli transferujemy z dysku dane z prędkością 2MB/s.

Zadanie 4. W przeważającej większości systemów implementujących moduły DMA, procesor ma niższy priorytet dostępu do pamięci głównej niż moduły DMA. Dlaczego?

Wskazówka: Co się może stać, jeśli urządzenia nie mają gwarancji wykonywania transferów w regularnych odstępach czasu?

Zadanie 5. Nowoczesny procesor x86-64 (np. [i7-6700¹](https://www.intel.com/products/processor/17-6700)) ma następujące czasy dostępu do poszczególnych poziomów pamięci: L1 cache: 4 cykle; L2 cache: 12 cykli; L3 cache: 40 cykli; pamięć DRAM: 200 cykli. Jaki jest średni czas dostępu do pamięci, jeśli 90% dostępow trafia w cache L1, 95% w cache L2, 98% w cache L3? Jaki jest pesymistyczny czas dostępu do pamięci?

Wskazówka: Dostęp do pamięci o poziomie $i + 1$ zachodzi tylko wtedy, gdy chybiłszy w pamięć na poziomie i .

Zadanie 6. Na podstawie [1, §2.1.3] i [1, §2.2] zreferuj protokół komunikacji kontrolera pamięci z modułami pamięci DRAM. Wyjaśnij kroki jakie musi podjąć kontroler by odczytać jedną lub kilka kolejnych komórek pamięci. Wyjaśnij źródło opóźnień t_{CAS} (CL), t_{RCD} , t_{RP} , t_{RAS} ograniczających wydajność operacji.

Wskazówka: Gdyby źródło [1] okazało się niewystarczające należy zajrzeć do [2, §11.1].

Zadanie 7. Blok pamięci podręcznej procesorów x86-64 ma 64 bajty. Dla uproszczenia przyjmijmy, że w jednym cyklu zegarowym między pamięcią a procesorem można przesłać 64 bity danych. Ile nanosekund, w pesymistycznym przypadku, zajmie sprowadzenie bloku pamięci podręcznej z pamięci DRAM dla poniżej scharakteryzowanych modułów:

- DDR4-1600, $t_{CLK} = 800$ MHz, $t_{CAS} = 10$, $t_{RCD} = 10$, $t_{RP} = 10$, $t_{RAS} = 25$,
- DDR4-2133, $t_{CLK} = 1066.67$ MHz, $t_{CAS} = 15$, $t_{RCD} = 15$, $t_{RP} = 15$, $t_{RAS} = 36$.

Powtórz obliczenia zakładając, że pamięć działa w trybie sekwencyjnym (ang. *burst mode*), tj. podaje na kolejnych zboczach zegara szesnaście 64-bitowych słów bez czekania na polecenie zmiany kolumny.

¹<https://www.7-cpu.com/cpu/Skylake.html>

Zadanie 8. Program czyta sekwencyjnie jednowymiarową tablicę o rozmiarze 4GiB położoną pod adresem podzielonym przez 2^{20} . W komputerze zainstalowano dwa moduły pamięci DDR4-2133 o parametrach: $t_{CAS} = 15$, $t_{RCD} = 15$, $t_{RP} = 15$, $t_{RAS} = 36$, maksymalny rozmiar transferu sekwencyjnego to 16 słów, długość wiersza (ang. *DRAM page size*) wynosi 8KiB. Ile czasu zajmie sprowadzenie danych do procesora? Należy pominąć rozważanie opóźnień wynikających z działania pamięci podręcznej i kontrolera pamięci.

Powtórz obliczenia dla systemu dysponującego pamięcią w konfiguracji dwukanałowej (ang. *dual-channel*).

Zadanie 9 (bonus). Nagraj na przenośny dysk USB program [memtest86²](https://www.memtest86.com/download.htm) i uruchom go z poziomu wbudowanego oprogramowania UEFI. Podaj parametry systemu pamięci w swoim komputerze. Jaka jest przepustowość poszczególnych poziomów pamięci podręcznej i pamięci DRAM? Oszacuj, w taktach procesora, średni czas dostępu do pamięci podręcznej L1, L2, L3 i pamięci DRAM.

Literatura

- [1] „What Every Programmer Should Know About Memory”
Ulrich Drepper, November 21, 2007
- [2] „Memory Systems: Cache, DRAM, Disk”
Bruce Jacob, Spencer W. Ng, David T. Wang; *Morgan Kaufmann*, 2008

²<https://www.memtest86.com/download.htm>