

# Architektury systemów komputerowych

## Lista zadań nr 10

Na zajęcia 20 i 21 maja 2019

**UWAGA!** W trakcie prezentacji należy być gotowym do zdefiniowania pojęć oznaczonych **wytluszczoną** czcionką.

**Zadanie 1.** Rozważmy **pamięć podręczną z mapowaniem bezpośrednim adresowaną bajtowo**. Używamy adresów 32-bitowych w następującym formacie:  $(\text{tag}, \text{index}, \text{offset}) = (\text{addr}_{31\dots10}, \text{addr}_{9\dots5}, \text{addr}_{4\dots0})$ .

- Jaki jest rozmiar bloku w 32-bitowych słowach?
- Ile wierszy ma nasza pamięć podręczna?
- Jaki jest stosunek liczby bitów składujących dane do liczby bitów składujących metadane?

**Zadanie 2.** Mamy system z pamięcią operacyjną adresowaną bajtowo. Szerokość szyny adresowej wynosi 12. Pamięć podręczna ma organizację sekcyjno-skojarzeniową o dwuelementowych zbiorach, a blok ma 4 bajty. Dla podanego niżej stanu pamięci podręcznej wyznacz, które bity adresu wyznaczają: offset, indeks, znacznik. Wszystkie wartości numeryczne podano w systemie szesnastkowym.

Indeks	Znacznik	Valid	B0	B1	B2	B3
0	00	1	40	41	42	43
	83	1	FE	97	CC	D0
1	00	1	44	45	46	47
	83	0	–	–	–	–
2	00	1	48	49	4A	4B
	40	0	–	–	–	–
3	FF	1	9A	C0	03	FF
	00	0	–	–	–	–

Określ, które z poniższych operacji odczytu wygenerują **trafienie** albo **chybienie** i ew. jakie wartości wczytają:

Adres	Trafienie?	Wartość
832	...	...
835	...	...
FFD	...	...

**Zadanie 3.** Rozważmy pamięć podręczną z poprzedniego zadania. Mamy następującą sekwencję odwołań do czterobajtowych słów pamięci:

0 4 16 132 232 160 1024 28 140 3100 180 2180

Założ, że na początku pamięć podręczna jest pusta. Jak wiele bloków zostało **zastąpionych**? Jaka jest efektywność pamięci podręcznej (liczba trafień procentowo)? Podaj zawartość pamięci podręcznej po wykonaniu powyższych odwołań – każdy ważny wpis wypisz jako krotkę  $(\text{tag}, \text{index}, \dots)$ . Dla każdego chybienia wskaż, czy jest ono przymusowe (ang. **compulsory miss**), czy wynika z kolizji na danym adresie (ang. **conflict miss**) czy ograniczonej pojemności (ang. **capacity miss**).

**Wskazówka:** Definicje rodzajów chybień można znaleźć w §6.3.1 podręcznika.

**Zadanie 4.** Zakładamy, że bloki są długości dwóch słów pamięci. Powtórz poprzednie zadanie dla następujących organizacji pamięci podręcznej:

- sekcyjno-skojarzeniowa 2-drożna, 16 bloków, **polityka wymiany** LRU (ang. *Least Recently Used*),
- w pełni asocjacyjna, 8 bloków, polityka wymiany FIFO (ang. *First In, First Out*).

**Zadanie 5.** Odpowiedz na następujące pytania dotyczące organizacji pamięci podręcznej:

1. Do wyboru zbioru pamięci podręcznej używamy bitów znajdujących się w środku adresu, zaraz przed offsetem bloku. Czemu jest to lepszy pomysł niż używanie najbardziej znaczących bitów adresu?
2. Czemu pamięć podręczna pierwszego poziomu jest podzielona na pamięć danych i programu?

**Zadanie 6.** Rozważamy system z dwupoziomą pamięcią podręczną z **polityką zapisu** write-back z write-allocate. Dodatkowo zakładamy, że blok o określonym adresie może znajdować się tylko na jednym poziomie pamięci podręcznej (ang. *exclusive caches*). Przy pomocy **schematu blokowego**<sup>1</sup> przedstaw algorytm obsługi dostępu do pamięci podręcznej pierwszego poziomu. Nie zapomnij o bicie dirty i o tym, że pamięć podręczna może być całkowicie wypełniona! Zakładamy, że pamięć podręczna pierwszego poziomu nie może komunikować się bezpośrednio z pamięcią operacyjną.

**Zadanie 7.** Wiemy, że im większa pamięć podręczna tym dłuższy czas dostępu do niej. Załóżmy, że dostęp do pamięci głównej trwa 70ns, a dostępy do pamięci stanowią 36% wszystkich instrukcji. Rozważmy system z pamięcią podręczną o następującej strukturze: L1 – 2 KiB, współczynnik chybień 8.0%, czas dostępu 0.66ns (1 cykl procesora); L2 – 1 MiB, współczynnik chybień 0.5%, czas dostępu 5.62ns. Odpowiedz na pytania:

- Jaki jest średni czas dostępu do pamięci dla procesora tylko z cache L1, a jaki dla procesora z L1 i L2?
- Procesor charakteryzuje się współczynnikiem **CPI** (ang. *clocks per instruction*) równym 1.0 (bez wykonywania dostępu do pamięci), oblicz CPI dla procesora tylko z cache L1 i dla procesora z L1 i L2.

**Zadanie 8.** Dla czterodrożnej sekcyjno-skojarzeniowej pamięci podręcznej implementujemy politykę zastępowania LRU. Masz do dyspozycji dodatkowe  $\lceil \log_2(4!) \rceil$  bitów na zbiór. Nie można modyfikować zawartości linii w zbiorze, ani zamieniać elementów kolejnością. Jak wyznaczyć kandydata do usunięcia ze zbioru? Jak aktualizować informacje zawarte w dodatkowych bitach przy wykonywaniu dostępu do elementów zbioru?

---

<sup>1</sup>[https://pl.wikipedia.org/wiki/Schemat\\_blokowy](https://pl.wikipedia.org/wiki/Schemat_blokowy)