

Systemy komputerowe

Lista zadań nr 8

Na zajęcia 18 – 29 kwietnia 2019

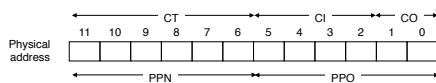
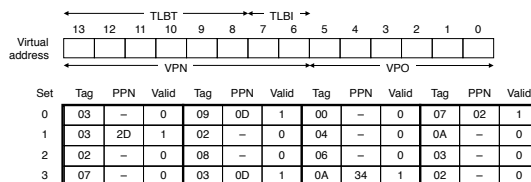
UWAGA! W trakcie prezentacji należy zdefiniować pojęcia oznaczone **wytfuszczoną** czcionką.

Zadanie 1. Opisz różnice między **przerwaniem sprzętowym** (ang. *hardware interrupt*), **wyjątkiem procesora** (ang. *exception*) i **pułapką** (ang. *trap*). Dla każdego z nich podaj co najmniej trzy przykłady zdarzeń, które je wyzwalają. W jakim scenariuszu wyjątek procesora nie oznacza błędu czasu wykonania programu? Kiedy pułapka jest generowana w wyniku prawidłowej pracy programu?

Zadanie 2. Opisz mechanizm **obsługi przerw** bazujący na **wektorze przerw** (ang. *interrupt vector table*). Co robi procesor przed pobraniem pierwszej instrukcji **procedury obsługi przerwania** (ang. *interrupt handler*) i po natrafieniu na instrukcję powrotu z przerwania? Dlaczego procedura obsługi przerwania powinna być wykonywana w **trybie nadzorczy** i używać odrębnego stosu?

Zadanie 3. Opisz następujące mechanizmy dostępu do urządzeń I/O: **Programowane wejście/wyjście** (ang. *Programmed I/O*), **Wejście/wyjście sterowane przerwaniem** (ang. *Interrupt-driven I/O*) oraz **Bezpośredni dostęp do pamięci** (ang. *Direct Memory Access (DMA)*). Które z nich wykorzystują przerwania?

Zadanie 4. Wzorując się na slajdach do wykładu „Virtual Memory Systems” (strony 10–21) powtórz proces **translacji adresów** i adresowania pamięci podręcznej dla adresów: 0x027c, 0x03a9 i 0x0040 zakładając poniższy stan **TLB**, pamięci podręcznej i **tablicy stron**.



Idx	Tag	Valid	Blk 0	Blk 1	Blk 2	Blk 3
0	19	1	99	11	23	11
1	15	0	-	-	-	-
2	1B	1	00	02	04	08
3	36	0	-	-	-	-
4	32	1	43	6D	8F	09
5	0D	1	36	72	F0	1D
6	31	0	-	-	-	-
7	16	1	11	C2	DF	03
8	24	1	3A	00	51	89
9	2D	0	-	-	-	-
A	2D	1	93	15	DA	3B
B	0B	0	-	-	-	-
C	12	0	-	-	-	-
D	16	1	04	96	34	15
E	13	1	83	77	1B	D3
F	14	0	-	-	-	-

VPN	PPN	Valid	VPN	PPN	Valid
00	28	1	08	13	1
01	-	0	09	17	1
02	33	1	0A	09	1
03	02	1	0B	-	0
04	-	0	0C	-	0
05	16	1	0D	2D	1
06	-	0	0E	11	1
07	-	0	0F	0D	1

Zadanie 5. W tym zadaniu będziemy analizowali w jaki sposób system operacyjny musi aktualizować **tablicę stron** wraz z kolejnymi dostęпами do pamięci głównej. Załóż, że strony są wielkości 4KiB, TLB jest w pełni **asocjacyjne** z zastępowaniem LRU. Jeśli potrzebujesz **wtoczyć** (ang. *swap-in*) stronę z dysku użyj następnego numeru **ramki** (ang. *page frame*) większego od największego istniejącego w tablicy stron.

Dla poniższych danych podaj ostateczny stan TLB i tablicy stron po wykonaniu wszystkich dostępu do pamięci. Dla każdej operacji dostępu do pamięci wskaż czy było to trafienie w TLB, trafienie w tablicę stron, czy też **błąd strony**.

VPN	Valid?	PPN
0	1	5
1	0	dysk
2	0	dysk
3	1	6
4	1	9
5	1	11
6	0	dysk
7	1	4
8	0	dysk
9	0	dysk
10	1	3
11	1	12
12	0	brak

Początkowy stan tablicy stron

Valid?	Tag	LRU	PPN
1	11	0	12
1	7	1	4
1	3	2	6
0	4	3	9

Początkowy stan TLB

Adres
4669
2227
13916
34587
48870
12608
49225

Ciąg dostępu do pamięci

Zadanie 6. Niech system posługuje się 32-bitowymi adresami wirtualnymi, rozmiar strony ma 4KiB, a rozmiar wpisu tablicy stron zajmuje 4 bajty. Dla procesu, który łącznie używa 1GiB swojej przestrzeni adresowej podaj rozmiar tablicy stron: (a) jednopoziomowej, (b) dwupoziomowej, gdzie katalog tablicy stron ma 1024 wpisy. Dla drugiego przypadku – jaki jest maksymalny i minimalny rozmiar tablicy stron?

Zadanie 7. Na wykładzie przyjęliśmy, że translacja adresów jest wykonywana przed dostępem do pamięci podręcznej. Taki schemat określa się mianem pamięci podręcznej **indeksowanej i znakowanej adresami fizycznymi** (ang. *physically-indexed, physically-tagged*). Wyjaśnij jak zrównoleglić dostęp do TLB i pamięci podręcznej, stosując schemat pamięci indeksowanej wirtualnie i znakowanej fizycznie.

Wskazówka: Posłuż się slajdem 34 do wykładu „Virtual Memory: Systems”, ale wytłumacz to szczegółowo!

Zadanie 8. Celem zwiększenia wydajności dostępu do pamięci architekt procesora decyduje się na użycie schematu pamięci indeksowanej i znakowanej adresami wirtualnymi (ang. *virtually-indexed, virtually-tagged*). Wyjaśnij jak w takim przypadku może zmanifestować się problem **homonimów i synonimów**¹?

Wskazówka: Można posłużyć się rysunkiem 4.2 z książki „Memory Systems: Cache, DRAM, Disk”.

Zadanie 9 (bonus). Na podstawie §31.1.4 książki „Memory Systems: Cache, DRAM, Disk” wyjaśnij jak przebiega mechanizm translacji adresów bazujący na odwróconej tablicy stron stosowany w architekturze PowerPC. Wymień wady i zalety tego rozwiązania w porównaniu do wielopoziomowej tablicy stron.

¹https://en.wikipedia.org/wiki/CPU_cache#/Homonym_and_synonym_problems